

Docket No.: K-0394

#4
LTYBON
06-18-02
PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Geun Soo LIM

Serial No.: New U.S. Patent Application

Filed: March 6, 2002

For: DEVICE AND METHOD FOR DRIVING PLASMA DISPLAY PANEL

JC879 U.S. PTO
10/091353
03/06/02

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Assistant Commissioner of Patents
Washington, D. C. 20231

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Korean Patent Application No. P2001-11740, filed March 7, 2001

A copy of each priority application listed above is enclosed.

Respectfully submitted,
FLESHNER & KIM, LLP

Carl R. Wesolowski

Daniel Y.J. Kim
Registration No. 36,186
Carl R. Wesolowski
Registration No. 40,372

P. O. Box 221200
Chantilly, Virginia 20153-1200
703 502-9440

Date: March 6, 2002

DYK/CRW:jld

#4

JC879 U.S. PRO
10/091353
03/06/02



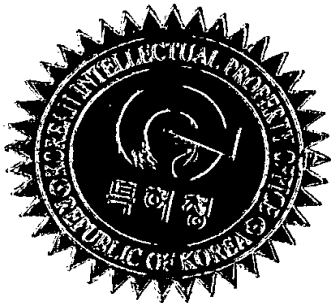
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 특허출원 2001년 제 11740 호
Application Number PATENT-2001-0011740

출원년월일 : 2001년 03월 07일
Date of Application MAR 07, 2001

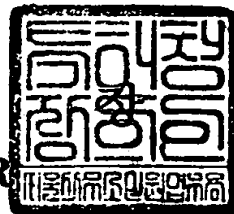
출원인 : 엘지전자주식회사
Applicant(s) LG ELECTRONICS INC.



2001 년 10 월 22 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0001
【제출일자】 2001.03.07
【발명의 명칭】 플라즈마 디스플레이 패널의 구동방법 및 장치
【발명의 영문명칭】 Apparatus and Method of Driving Plasma Display Panel

【출원인】

【명칭】 엘지전자 주식회사
【출원인코드】 1-1998-000275-8

【대리인】

【성명】 김영호
【대리인코드】 9-1998-000083-1
【포괄위임등록번호】 1999-001250-8

【발명자】

【성명의 국문표기】 임근수
【성명의 영문표기】 LIM, Geun Soo
【주민등록번호】 610403-1067642
【우편번호】 463-480
【주소】 경기도 성남시 분당구 금곡동 180 청솔마을 205동 402호

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김영호 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	14 면	14,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	14 항	557,000 원
【합계】	600,000 원	

1020010011740

출력 일자: 2001/10/23

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 고속 어드레싱을 가능하게 함과 아울러 소비전력을 최소화할 수 있도록 한 플라즈마 디스플레이 패널의 구동방법에 관한 것이다.

본 발명의 플라즈마 디스플레이 패널의 구동방법은 어드레스전극에 '0'의 비디오신호에 대응하는 제 1 데이터펄스가 인가되는 단계와, 어드레스전극에 제 1 데이터펄스와 폭이 상이한 '1'의 비디오신호에 대응하는 제 2 데이터펄스가 인가되는 단계와, 어드레스전극과 교차되는 방향으로 형성되는 주사/서스테인전극에 주사펄스가 공급되는 단계를 포함한다.

【대표도】

도 7

【명세서】

【발명의 명칭】

플라즈마 디스플레이 패널의 구동방법 및 장치{Apparatus and Method of Driving Plasma Display Panel}

【도면의 간단한 설명】

도 1은 종래의 3전극 교류 면방전형 플라즈마 디스플레이 패널의 방전셀 구조를 나타내는 사시도.

도 2는 도 1에 도시된 방전셀들을 포함하는 플라즈마 디스플레이 패널의 전체적인 전극 배치도.

도 3은 통상의 서브필드 구동방법을 설명하기 위한 한 프레임 구성도.

도 4는 종래의 플라즈마 디스플레이 패널의 구동방법을 나타내는 파형도.

도 5는 종래의 다른 실시예에 의한 플라즈마 디스플레이 패널의 구동방법을 나타내는 파형도.

도 6은 도 5에 도시된 구동파형을 생성하기 위한 구동장치를 나타내는 회로도.

도 7은 본 발명의 실시예에 의한 플라즈마 디스플레이 패널의 구동방법을 나타내는 파형도.

도 8은 본 발명의 실시예에 의한 플라즈마 디스플레이 패널의 스캔방법을 나타내는 도면.

도 9는 본 발명의 다른 실시예에 의한 플라즈마 디스플레이 패널의 구동방법을 나타내는 파형도.

도 10은 본 발명의 다른 실시예에 의한 플라즈마 디스플레이 패널의 스캔방법을 나타내는 도면.

도 11은 본 발명의 실시예에 의한 플라즈마 디스플레이 패널의 구동장치를 나타내는 회로도.

도 12는 도 11에 도시된 플라즈마 디스플레이 패널의 구동장치의 동작과정을 상세히 나타내는 위한 파형도.

< 도면의 주요 부분에 대한 부호의 설명 >

1 : 방전셀 10 : 상부기판

12Y : 주사/서스테인전극 12Z : 공통서스테인전극

14,22 : 유전체층 16 : 보호막

18 : 하부기판 20X : 어드레스전극

24 : 격벽 26 : 형광체층

30,60 : 데이터입력수단 40,42,72,74 : 래치

32,34,36,38,62,64,66,68,70,71 : 시프트 레지스터

44 : 보조데이터펄스 생성부 46,48,50,52 : OR 게이트

54 : 멀티 플렉서 78 : 제어신호 생성부

80 : NOR 게이트 82,84,86,88 : NAND 게이트

90 : 출력부 106,108 : 스위칭소자

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<25> 본 발명은 플라즈마 디스플레이 패널의 구동방법 및 장치에 관한 것으로 특히, 고속 어드레싱을 가능하게 함과 아울러 소비전력을 최소화할 수 있도록 한 플라즈마 디스플레이 패널의 구동방법 및 장치에 관한 것이다.

<26> 최근, 평판 디스플레이 장치로서 대형패널의 제작이 용이한 플라즈마 디스플레이 패널(이하 'PDP'라 함)이 주목받고 있다. PDP로는 도 1에 도시된 바와 같이 3전극을 구비하고 교류전압에 의해 구동되는 3전극 교류 면방전형 PDP가 대표적이다.

<27> 도 1을 참조하면, 3전극 교류 면방전형 PDP의 방전셀은 상부기관(10) 상에 형성되어진 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)과, 하부기관(18) 상에 형성되어진 어드레스전극(20X)을 구비한다. 주사/서스테인전극(12Y)과 공통서스테인전극(12Z)이 나란하게 형성된 상부기관(10)에는 상부 유전층(14)과 보호막(16)이 적층된다. 상부 유전층(14)에는 플라즈마 방전시 발생된 벽전하가 축적된다. 보호막(16)은 플라즈마 방전시 발생된 스퍼터링에 의한 상부 유전층(14)의 손상을 방지함과 아울러 2차 전자의 방출 효율을 높이게 된다. 보호막(16)으로는 통상 산화마그네슘(MgO)이 이용된다. 어드레스전극(20X)이 형성된 하

부기관(18) 상에는 하부 유전층(22), 격벽(24)이 형성되며, 하부 유전층(22)과 격벽(24) 표면에는 형광체(26)가 도포된다. 어드레스전극(20X)은 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z)과 교차되는 방향으로 형성된다. 격벽(24)은 어드레스전극(20X)과 나란하게 형성되어 방전에 의해 생성된 자외선 및 가시광이 인접한 방전셀에 누설되는 것을 방지한다. 형광체(26)는 플라즈마 방전시 발생된 자외선에 의해 여기되어 적색, 녹색 또는 청색 중 어느 하나의 가시광선을 발생하게 된다. 상/하판과 격벽 사이에 마련된 방전공간에는 가스방전을 위한 불활성 가스가 주입된다.

<28> 이러한 방전셀은 도 2에 도시된 바와 같이 매트릭스 형태로 배치된다. 도 2에서 방전셀(1)은 주사/서스테인전극라인(Y1 내지 Ym), 공통서스테인전극라인(Z1 내지 Zm) 및 어드레스전극라인(X1 내지 Xn)의 교차부에 마련된다. 주사/서스테인전극라인(Y1 내지 Ym)은 순차적으로 구동되고, 공통서스테인전극라인(Z1 내지 Zm)은 공통적으로 구동된다. 어드레스전극라인들(X1 내지 Xn)은 기수번째 라인들과 우수번째 라인들로 분할되어 구동된다.

<29> 이러한 3전극 교류 면방전형 PDP는 다수개의 서브필드로 분리되어 구동되고, 각 서브필드기간에는 비디오 데이터의 가중치에 비례시킨 횡수의 발광이 진행됨으로써 계조표시가 행해지게 된다. 실례로, 8비트의 비디오 데이터를 이용하여 256 계조로 화상이 표시되는 경우 각 방전셀(1)에서의 1 프레임 표시기간(예를 들면, 1/60초=약 16.7msec)은 도 3에 도시된 바와 같이 8개의 서브필드(SF1 내지 SF8)로 분할된다. 각 서브필드(SF1 내지 SF8)는 다시 리셋 기간, 어드레스 기간 및 서스

테인 기간으로 분할하고, 서스테인 기간에 1:2:4:8:⋯:128의 비율로 가중치를 부여하게 된다. 여기서, 리셋기간은 방전셀을 초기화하는 기간이고, 어드레스기간은 비디오데이터의 논리값에 따라 선택적인 어드레스방전이 발생하게 하는 기간이며, 서스테인 기간은 상기 어드레스방전이 발생된 방전셀에서 방전이 유지되게 하는 기간이다. 리셋 기간과 어드레스기간은 각 서브필드 기간에 동일하게 할당된다.

<30> 도 4는 종래의 PDP의 구동방법에 따른 파형도를 나타내는 도면이다.

<31> 도 4를 참조하면, 우선, 도시하지 않은 리셋기간에서 모든 방전셀들에서 방전이 발생되게 함으로써 모든 방전셀들을 초기화하게 된다. 이러한 리셋기간에 이어 어드레스기간에서는 주사/서스테인전극라인들(Y1 내지 Ym)에 순차적으로 주사펄스(SP)를 공급함과 아울러 그 주사펄스(SP)에 동기되는 데이터펄스(DP)를 어드레스전극라인들(X1 내지 Xn)에 공급함으로써 선택적인 어드레스방전이 발생되게 한다. 이어서, 서스테인 기간에서 주사/서스테인전극라인들(Y1 내지 Ym)과 공통서스테인전극라인들(Z1 내지 Zm)에 교번적으로 서스테인펄스(SUSPy, SUSPz)를 공급함으로써 상기 어드레스방전이 발생된 방전셀들에서 서스테인 방전이 소정의 기간동안 유지되게 한다.

<32> 이러한 서브필드 구동방법에서 서스테인 기간은 화상을 표시하는 기간으로 적절한 휘도를 내기 위해서는 어느 정도의 시간을 확보하여야 한다. 그런데, 고해상도화 되거나 화면의 크기가 증가하게 되면 PDP의 주사/서스테인전극라인(Y)수가 증가하게 된다. 이에 따라, 어드레스기간이 증가하게 되므로 자연히 서스테인 기간이 짧아지게 되어 휘도가 낮아지는 문제가 발생하게 된다. 이로 인하

여, 어드레스 전극라인을 분할하여 멀티-어드레스를 하는 경우에는 그 만큼 구동 IC가 추가되어 제조원가가 증가하게 된다.

<33> 이러한 문제점을 해결하기 위해서는 어드레스방전을 위한 펄스폭을 줄여야 하나 펄스폭을 줄이는 경우 방전이 불안정하게 되어 어드레스 실패확률이 증가하게 된다. 이러한 어드레스 실패를 없애기 위해서는 보조 전극라인들을 추가하여 어드레스 방전이 일어나기 전에 프라이밍 입자를 제공해주는 방법과 기존의 3전극 구조에서 어드레스 펄스의 재구성 및 최적화에 의한 방법이 고려될 수 있다. 그러나, 보조전극라인에 의한 프라이밍 입자의 생성은 패널의 제작공정이 복잡해지고 구동이 어려운 단점이 있다. 따라서, 기존의 3전극 구조에서 어드레스 펄스를 개선하는 방법이 최선의 방법이라고 할 수 있다. 그러나, 주사/서스테인전극라인(Y) 수가 증가하게 되면 라인당 $1\mu s$ 정도의 매우 짧은 기간동안 어드레스 방전이 발생하여야 하는데 종래의 $1\mu s$ 펄스로는 어드레스가 불가능하다고 알려져 있다. 이는 $1\mu s$ 동안에는 방전이 충분히 성숙되지 못하고 끝나기 때문에 어드레스방전시 방전유지에 필요한 충분한 벽전하를 주사/서스테인전극(12Y) 및 공통서스테인전극(12Z) 상에 형성하지 못하기 때문이다. 또한, 방전셀마다 공간전하의 상태가 다르고 인접 셀에 의한 영향에 의해 어드레스가 불안정해진다. 이러한 문제점을 해결하기 위하여 도 5와 같은 구동파형이 제안되었다.

<34> 도 5를 참조하면, 종래의 구동파형의 어드레스 기간에 주사/서스테인전극라인(Y)에는 순차적으로 주사펄스(V_s)가 인가되고, 어드레스전극라인(X)에는 주사/서스테인전극라인(Y)에 공급되는 주사펄스(V_s)에 동기되어 보조 데이터펄스(ADP) 및

메인 데이터펄스(MDP)가 공급된다. 어드레스전극라인(X)에 논리값이 '1'인 데이터펄스가 공급될 경우 작은 폭(T_d), 예를 들면 $1\mu s$ 정도의 폭을 가지는 메인 데이터펄스(MDP)가 인가되고, 데이터의 논리값이 '0'인 경우 메인 데이터펄스(MDP)가 인가되지 않는다. 또한, 메인 데이터펄스(MDP)가 인가될 때 메인 데이터펄스(MDP)의 앞 및 뒤에는 메인 데이터펄스(MDP)의 폭(T_d)보다 작은 폭(T_{ad})을 가지는 보조 데이터펄스(ADP)가 인가된다. 그리고, 주사/서스테인전극라인(Y)에 순차적으로 인가되는 주사펄스(V_s)는 메인 데이터펄스(MDP) 및 보조 데이터펄스(ADP)의 폭($T_{ad}+T_d=T_s$)을 가지는 메인 주사펄스(MSP)와 보조 데이터펄스(ADP) 폭($T_{ad}=T_{as}$)을 가지는 보조 주사펄스(ASP)로 나뉘어진다. 메인 주사펄스(MSP)는 주사/서스테인전극라인(Y)에 순차적으로 인가되고 보조 주사펄스(ASP)는 메인 주사펄스(MSP)에 선행되어 인가된다. 주사/서스테인전극라인들(Y)에 순차적으로 공급되는 주사펄스는 보조 주사펄스(ASP)의 폭(T_{as})만큼씩 중첩되게 인가된다.

<35> 이러한 종래의 구동파형의 인가과정을 상세히 설명하면, 먼저 도 5의 A와 같이 인접되는 방전셀 모두에 메인 데이터펄스(MDP)가 인가되는 경우 메인 데이터펄스(MDP)들의 사이에는 하나의 보조 데이터펄스(ADP)가 인가된다. 또한, 도 5의 B 및 C와 같이 임의의 방전셀에 하나의 메인 데이터펄스(MDP)가 인가되는 경우 메인 데이터펄스(MDP)의 앞 및 뒤에 보조 데이터펄스(ADP)가 인가된다. 또한, 메인 데이터펄스(MDP)가 인가되지 않는 경우 보조 데이터펄스(ADP)도 인가되지 않는다.

<36> 결과적으로, 종래의 구동파형에서는 메인 데이터펄스(MDP)가 공급되는 방전 셀에서 어드레스 방전은 $T_{ad}+T_d+T_{ad}$ 의 시간동안 방전이 일어나게 되어 어드레스 방전시간을 늘려준 효과가 발생된다. 또한, 주사/서스테인전극라인(Y)에 공급되는 주사펄스(V_s)가 소정시간만큼 중첩되게 함으로써 중첩되는 시간만큼 어드레스 시간을 짧게 할 수 있다.

<37> 도 6은 도 5에 도시된 어드레스전극라인에 데이터를 공급하기 위한 어드레스 구동부를 나타내는 회로도이다.

<38> 도 6을 참조하면, 종래의 어드레스 구동부는 데이터 입력수단(30)과 현재 어드레스전극라인들(X)에 공급되는 데이터가 저장되는 제 1 래치(42)와, 다음 어드레스전극라인들(X)에 공급되는 데이터가 저장되는 제 2 래치(40)와, 제 1 래치(42)와 제 2 래치(40)에 저장된 데이터를 이용하여 보조 데이터펄스(ADP)를 생성하기 위한 보조 데이터펄스 생성부(44)와, 보조 데이터펄스 생성부(44)의 출력과 제 1 래치(42)의 출력을 입력받아 이들 중 어느 하나를 출력하기 위한 멀티플렉서(54)로 구성된다. 데이터 입력수단(30)은 4개의 시프트 레지스터들(32,34,36,38)로 구성된다. 시프트 레지스터들(32,34,36,38)은 도시되지 않은 데이터 공급부로부터 데이터를 입력받고, 입력받은 데이터를 제 1 클럭(CLK)신호에 동기되어 시프트시킨다. 시프트 레지스터들(32,34,36,38)에 16bit의 데이터가 입력되면 시프트 레지스터들(32,34,36,38)은 자신에게 입력된 데이터를 제 2 래치(40)로 공급한다. 제 2 래치(40)는 시프트 레지스터들(32,34,36,38)로부터 64bit의 데이터를 입력받고, 입력받은 데이터를 제 2 클럭(CLK)신호에 동기되어 제 1 래치(42) 및 보조 데이터펄스 생성부(44)로 전송한다. 제 1 래치(42)는

제 3 클럭(CLK)신호에 동기되어 자신에게 저장되어 데이터를 보조 데이터펄스 생성부(44) 및 멀티플렉서(54)로 공급한다. 즉, 제 1 래치(42)에는 현재 어드레스 전극라인(X)에 공급되는 데이터가 저장되고, 제 2 래치(40)에는 다음 어드레스 전극라인(X)에 공급되는 데이터가 저장된다. 보조 데이터펄스 생성부(44)는 제 2 래치(40)로부터 제 1 래치(42)로 전송되는 다음 데이터와, 제 1 래치(42)로부터 멀티플렉서(54)로 공급되는 현재 데이터를 논리합연산하여 보조 데이터펄스(ADP)를 생성한다. 이를 위해 보조 데이터 펄스 생성부(44)는 다수개의 오어 게이트(OR GATE)들(46,48,50,52)로 구성된다. 멀티플렉서(54)는 제 4 클럭(CLK4)에 '1'의 클럭신호가 입력되면 보조 데이터펄스(ADP)를 출력하고, 제 4 클럭(CLK)에 '0'의 클럭신호가 입력되면 메인 데이터펄스(MDP)를 출력한다.

<39> 하지만, 이와 같은 종래의 어드레스 구동부는 어드레스전극라인에 공급되는 메인 데이터펄스(MDP) 및 보조 데이터펄스(ADP)가 독립적으로 생성되기 때문에 불필요한 소비전력이 낭비되게 된다. 또한, 메인 데이터펄스(MDP) 및 보조 데이터펄스(ADP)중 어느 하나를 선택하기 위한 제 4 클럭(CLK4)은 하이 볼테지 스위치(High Voltage Switch)로 구현되어야 한다. 따라서, 하이 볼테지 스위치의 스위칭동작에 의해 많은 소비전력이 소모된다. 나아가, 종래의 구동방법에서는 인접된 주사/서스테인전극라인들(Y)에 인가되는 주사펄스(V_s)가 소정부분씩 중첩되었다. 하지만, 종래의 주사/서스테인구동부는 다수개의 시프트레지스터로 구현되기 때문에 인접된 주사/서스테인전극라인들(Y)에 인가되는 주사펄스(V_s)가 소정부분씩 중첩되게 공급할 수 없다.

【발명이 이루고자 하는 기술적 과제】

<40> 따라서, 본 발명의 목적은 고속 어드레싱을 가능하게 함과 아울러 소비전력을 최소화할 수 있도록 한 플라즈마 디스플레이 패널의 구동방법 및 장치를 제공하는데 있다.

【발명의 구성 및 작용】

<41> 상기 목적을 달성하기 위하여 본 발명의 플라즈마 디스플레이 패널의 구동 방법은 어드레스전극에 '0'의 비디오신호에 대응하는 제 1 데이터펄스가 인가되는 단계와, 어드레스전극에 제 1 데이터펄스와 폭이 상이한 '1'의 비디오신호에 대응하는 제 2 데이터펄스가 인가되는 단계와, 어드레스전극과 교차되는 방향으로 형성되는 주사/서스테인전극에 주사펄스가 공급되는 단계를 포함한다.

<42> 본 발명의 플라즈마 디스플레이 패널의 구동장치는 비디오 데이터들이 입력되는 데이터 입력수단과, 데이터 입력수단에 저장되어 있는 비디오 데이터들을 입력받음과 아울러 입력받은 비디오 데이터들을 일시저장하기 위한 메모리들과, 어드레스전극라인에 데이터펄스를 공급하기 위한 출력수단과, 메모리들 및 상기 출력수단의 사이에 설치되어 상기 메모리들로부터 저장되어 있는 비디오 데이터들을 입력받아 출력수단을 제어하기 위한 제어신호를 생성하기 위한 제어신호 생성부를 구비한다.

<43> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<44> 이하, 도 7 내지 도 12를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

<45> 도 7은 본 발명의 실시예에 의한 어드레스 기간의 구동파형을 나타내는 파형도이다.

<46> 도 7을 참조하면, 본 발명의 실시예에 의한 어드레스 기간에는 주사/서스테인전극라인(Y)에 순차적으로 주사펄스(V_s)가 공급되고, 주사/서스테인전극라인(Y)에 공급된 주사펄스(V_s)와 동기되도록 어드레스전극라인(X)에 데이터펄스(V_d)가 공급된다. 주사/서스테인전극라인(Y)에 공급되는 주사펄스(V_s)는 소정시간(예를 들면 $0.3\mu s$)씩 중첩되게 인가된다. 이를 위해, 주사/서스테인전극라인(Y)은 도 8과 같이 2개의 블록으로 분할되어 스캔된다. 즉, 제 1 번째 주사/서스테인전극라인(Y_1)에 주사펄스(V_s)가 공급된 후 제 n 번째 주사/서스테인전극라인(Y_n)에 주사펄스(V_s)가 공급된다. 이때, 제 n 번째 주사/서스테인전극라인(Y_n)에 공급되는 주사펄스(V_s)는 제 1 번째 주사/서스테인전극라인(Y_1)에 공급된 주사펄스(V_s)와 소정시간($0.3\mu s$)만큼 중첩된다. 이와 같이 주사/서스테인전극라인(Y)이 2개의 블록으로 분할되어 구동되면, 주사/서스테인구동부의 설계 변경없이 주사펄스(V_s)를 중첩되게 인가할 수 있다. 어드레스전극라인(X)에는 논리값이 '1'인 데이터신호가 공급될 경우 미세 폭(T_a), 예를 들면 $1.4\mu s$ 정도의 폭을 가지는 데이터펄스(V_d)가 인가된다. 이때, 주사/서스테인전극라인(Y)에 공급되는 주사펄스(V_s)는 데이터펄스(V_d)와 동일한 펄스폭으로 설정된다. 어드레스전극라인(X)에 논리값이 '0'인 데이터신호가 공급될 경우 어드레스전극라인(X)에는 '1'의 데이터펄스(V_d)보다 작은 폭(T_b), 예를 들면 $0.8\mu s$ 의 시간동안 '0'의 데

이터펄스(V_d)가 공급된다. 어드레스전극라인(X)에 논리값이 '1'인 데이터신호가 연속적으로 공급될 때 어드레스전극라인(X)에 공급되는 데이터펄스(V_d)의 펄스 폭(T_c)은 $2.5\mu s$ 정도로 설정된다. 즉, 어드레스전극라인(X)에 논리값이 '1'인 데이터신호가 연속적으로 공급될 때는 어드레스전극라인(X)에 하나의 데이터펄스(V_d)가 공급될 때의 펄스 폭($1.4\mu s$)의 2배에서 주사펄스(V_s)들이 중첩되는 시간($0.3\mu s$)을 감하여 설정된다. 어드레스전극라인(X)에 '0'의 데이터신호가 연속적으로 공급될 때 어드레스전극라인(X)에 공급되는 데이터펄스(V_d)의 펄스 폭(T_d)은 $1.9\mu s$ 정도로 설정된다. 즉, 어드레스전극라인(X)에 논리값이 '0'인 데이터신호가 연속적으로 공급될 때는 어드레스전극라인(X)에 하나의 '0'의 데이터신호가 공급될 때의 펄스 폭($1.6\mu s$)의 2배에서 주사펄스(V_s)들이 중첩되는 시간($0.3\mu s$)을 가하여 설정된다.

<47> 한편 본 발명에서 주사/서스테인전극라인(Y)의 스캔순서는 도 9 및 도 10과 같이 설정될 수 있다. 즉, 제 1 번째 주사/서스테인전극라인(Y_1)에 주사펄스(V_s)가 공급되고, 이 주사펄스와 소정시간($0.3\mu s$) 중첩되도록 제 $Y_n/2$ 번째 주사/서스테인전극라인($Y_n/2$)에 주사펄스(V_s)가 공급된다. 도 9 및 도 10에 도시된 구동파형은 도 7 및 도 8에 도시된 구동파형과 스캔순서만 상이할 뿐 동작과정 및 효과는 동일하다.

<48> 결과적으로, 본 발명의 구동파형에서는 '0'의 데이터신호가 인가될 때보다 '1'의 데이터신호가 인가될 때 데이터펄스의 폭을 넓게 설정하여 어드레스 방전시간을 충분히 확보할 수 있다. 또한, 주사/서스테인전극라인(Y)에 공급되는 주사

펄스(V_s)를 소정시간 중첩되게 함으로써 어드레스 시간을 충분히 확보할 수 있다

<49> 도 11은 본 발명의 실시예에 의한 구동파형을 생성하기 위한 어드레스 구동장치를 나타내는 도면이다.

<50> 도 11을 참조하면, 본 발명의 실시예에 의한 어드레스 구동장치는 데이터 입력수단(60)과, 데이터 입력수단(60)으로부터 데이터를 입력받는 제 1 래치(72)와, 제 1 래치(72)로부터 데이터를 입력받는 제 2 래치(74)와, 데이터펄스(V_d)를 어드레스전극라인(X)에 공급하기 위한 출력부(90)와, 제 2 래치(74)와 출력부(90)의 사이에 설치되어 제 1 래치(72), 제 2 래치(74)에 저장되어 있는 데이터들을 입력받아 제어신호를 생성하고, 생성된 제어신호를 출력부로 공급하기 위한 제어신호 생성부(78)를 구비한다.

<51> 데이터 입력수단(60)은 다수개의 시프트 레지스터들(62,64,66,68,70,71)로 구성된다. 시프트 레지스터들(62,64,66,68,70,71)은 각각 데이터를 입력받는 데이터 입력단자(A,B)와, 클럭신호를 입력받는 클럭단자(CLK), 데이터의 시프트 방향을 결정하기 위한 제어단자(R,/L) 및 입력된 데이터를 리셋하기 위한 클리어단자(CLR)를 구비한다. 어드레스 구동장치는 홀수라인 및 짝수라인을 분할하여 구동하게 되고, 이에 따라 PDP의 상부 또는 하부에 위치하게 된다. 따라서, 어드레스 구동장치의 설치위치에 따라 데이터의 입력방향 및 시프트 순서가 상이하게 설정되어야 한다. 예를 들어, A 입력단자에 데이터가 입력된다면 제어단자에는 로우(Low) 입력신호가 공급된다. 이때 A 입력단자에 입력된 데이터는 클럭단자(CLK)에 입력되는 클럭신호에 동기되어 B 입력단자 쪽으로 이동된다. 한편, B

입력단자에 데이터가 입력된다면 제어단자에는 하이(High) 입력신호가 공급된다. 이때 B 입력단자에 입력된 데이터는 클럭단자(CLK)에 입력되는 클럭신호에 동기되어 A 입력단자 쪽으로 이동된다. 클리어 단자에 로우(Low) 입력신호가 입력되면 시프트 레지스터들(62,64,66,68,70,71)이 초기값으로 리셋된다. 시프트 레지스터들(62,64,66,68,70,71)에 저장된 소정비트의 데이터들은 제 1 래치(72)로 이동된다. 제 1 래치(72)의 1_A 단자는 도 12에 도시된 바와 같은 펄스신호를 입력받는다. 제 1 래치(72)는 1_A 단자에 입력되는 펄스신호에 동기되어 저장된 데이터를 제어신호 생성부(78) 및 제 2 래치(74)로 공급한다. 즉, 도 12에 도시된 'C'의 파형이 제어신호 생성부(78) 및 제 2 래치(74)로 공급된다. 제 2 래치(74)의 1_B 단자는 1_A 단자에 공급되는 펄스신호보다 소정시간 딜레이된 펄스신호를 공급받는다. 제 2 래치(74)는 1_B 단자에 입력되는 펄스신호에 동기되어 저장된 데이터를 제어신호 생성부(78)로 공급한다. 즉, 도 12에 도시된 'D'의 파형이 제어신호 생성부(78)로 공급된다. 제어신호 생성부(78)는 다수개의 NAND 및 NOR 게이트(80,82,84,86,88)로 구성된다. 제 1 래치(72) 및 제 2 래치(74)로부터 공급된 데이터는 NOR 게이트(80)로 공급된다. NOR 게이트(80)는 제 1 래치(72) 및 제 2 래치(74)중 하나 이상의 래치로부터 데이터가 입력될 때 로우(Low) 신호를 출력한다. NOR 게이트(80)로부터 출력된 로우(Low) 신호는 제 1 NAND 게이트(82)로 입력된다. 제 1 NAND 게이트(82)는 NOR 게이트(80) 및 /HBLK 신호를 입력받는다. /HBLK 신호는 모든 어드레스전극라인(X)에 하이(High) 신호를 입력할 때 로우(Low) 신호를 입력하고, 그 외의 경우에는 하이(High) 신호를 입력한다. 이러한 /HBLK 신호는 어

1020010011740

출력 일자: 2001/10/23

드레스 기간이외에 모든 어드레스전극라인(X)에 하이(High) 신호를 공급할 때 이용된다. /HBLK로부터 하이(High)신호 및 NOR 게이트(80)로부터 로우(Low) 신호를 입력받은 제 1 NAND 게이트(82)는 하이(High) 신호를 제 2 NAND 게이트(84)로 출력한다. 제 2 NAND 게이트(84)는 제 1 NAND 게이트(82) 및 /LBLK 신호를 입력받는다. /LBLK 신호는 모든 어드레스전극라인(X)에 로우(Low) 신호를 입력할 때 로우(Low) 신호를 입력하고, 그 외의 경우에는 하이(High) 신호를 입력한다. 이러한 /LBLK신호는 어드레스 기간외의 모든 어드레스전극라인(X)에 로우(Low) 신호를 공급할 때 이용된다. /LBLK로부터 하이(High) 신호 및 제 1 NAND게이트(84)로부터 하이(High)신호를 입력받은 제 2 NAND 게이트(84)는 로우(Low) 신호를 제 3 및 제 4 NAND 게이트(86,88)로 출력한다. 제 3 NAND 게이트(86) 및 제 4 NAND 게이트(88)는 제 2 NABD 게이트(84) 및 HZ 신호를 입력받는다. HZ 신호는 모든 어드레스전극라인(X)을 하이 임피던스 상태로 만들 때 하이(High) 신호를 입력하고, 그 외의 경우에는 로우(Low) 신호를 입력한다. HZ 신호로부터 로우(Low)신호 및 제 2 NAND 게이트(84)로부터 하이(High) 신호를 입력받은 제 3 NAND 게이트(86)는 하이(High) 신호, 즉 제어신호를 출력부(90)로 공급한다. HZ 신호로부터 로우(Low)신호 및 제 2 NOR 게이트(84)로부터 로우(Low) 신호를 입력받은 제 4 NOR 게이트(88)는 하이(High) 신호, 즉 제어신호를 출력부(90)로 공급한다. 출력부(90)는 다수개의 스위칭소자(106,108)로 구성된다. 제 3 NAND 게이트(86)로부터 하이(High) 신호를 입력받은 P채널의 제 1 스위칭소자(106)는 턴-온되어 '1'의 데이터펄스신호(VDD)를 어드레스전극라인에 공급한다. 제 4 NAND 게이트(88)로

부터 하이(High) 신호를 입력받은 N채널의 제 2 스위칭소자(108)는 턴-온되지 못한다. 다시 말하여, NOR 게이트(80)에서 로우(Low)신호를 출력할 때 어드레스전극라인(X)에는 데이터펄스가 공급된다. 또한, NOR 게이트(80)에서 하이(High) 신호를 출력할 때 어드레스전극라인(X)에는 데이터펄스가 공급되지 않는다. 즉, 도 12와 같이 제 1 래치(72) 및 제 2 래치(74)로부터 로우(Low) 신호가 입력될 때에만 어드레스전극라인(X)에 '0'의 데이터펄스가 공급된다.

<52> 표 1은 데이터펄스 생성부(78)에 공급되는 각종 제어신호들의 입력값 및 입력값에 따른 출력신호를 나타낸다.

<53> 【표 1】

A(B)	/HBLK	/BLK	HZ	출력
X	L	H	L	H
X	X	L	L	L
X	X	X	HZ	High Impedance
L	H	H	L	L
H	H	H	L	H

【발명의 효과】

<54> 상술한 바와 같이, 본 발명에 따른 플라즈마 디스플레이 패널의 구동방법 및 장치에 의하면 '0'의 데이터펄스와 '1'의 데이터펄스의 펄스 폭을 상이하게 설정하여 고속 어드레싱을 할 수 있다. 또한, 주사/서스테인전극라인들을 분할 구동하기 때문에 기존의 주사/서스테인구동부를 이용하여 중첩된 주사펄스를 인

가할 수 있다. 아울러, 별도의 스위치없이 폭이 상이한 데이터펄스를 생성할 수 있기 때문에 소비전력을 최소화할 수 있다.

<55> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

어드레스전극에 '0'의 비디오신호에 대응하는 제 1 데이터펄스가 인가되는 단계와,

상기 어드레스전극에 상기 제 1 데이터펄스와 폭이 상이한 '1'의 비디오신호에 대응하는 제 2 데이터펄스가 인가되는 단계와,

상기 어드레스전극과 교차되는 방향으로 형성되는 주사/서스테인전극에 주사펄스가 공급되는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 2】

제 1 항에 있어서,

상기 제 2 데이터펄스의 펄스 폭이 상기 제 1 데이터펄스의 펄스 폭 보다 넓게 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 3】

제 1 항에 있어서,

상기 주사/서스테인전극은 적어도 2개 이상의 블록으로 분할되고, 상기 제 2 데이터펄스와 동기되도록 상기 각각의 블록에 포함된 주사/서스테인전극에 순차적으로 상기 주사펄스가 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 4】

제 3 항에 있어서,

상기 주사필스는 소정시간만큼 중첩되게 인가되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 5】

제 3 항에 있어서,

상기 각각의 블록의 스캔방향이 동일한 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 6】

제 3 항에 있어서,

상기 각각의 블록의 스캔방향이 상이한 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 7】

비디오 데이터들이 입력되는 데이터 입력수단과,

상기 데이터 입력수단에 저장되어 있는 비디오 데이터들을 입력받음과 아울러 상기 입력받은 비디오 데이터들을 일시저장하기 위한 메모리들과,

어드레스전극라인에 데이터필스를 공급하기 위한 출력수단과,

상기 메모리들 및 상기 출력수단의 사이에 설치되어 상기 메모리들로부터 저장되어 있는 비디오 데이터들을 입력받아 상기 출력수단을 제어하기 위한 제어

신호를 생성하기 위한 제어신호 생성부를 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

【청구항 8】

제 7 항에 있어서,

상기 입력수단은 적어도 하나 이상의 시프트 레지스터들을 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

【청구항 9】

제 7 항에 있어서,

상기 메모리들은,

상기 입력수단으로부터 비디오 데이터를 공급받아 상기 제어신호 생성부로 공급하기 위한 제 1 래치와,

상기 제 1 래치에 저장된 데이터를 공급받아 상기 제어신호 생성부로 공급하기 위한 제 2 래치를 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

【청구항 10】

제 9 항에 있어서,

상기 제 2 래치는 상기 제 1 래치보다 소정시간 딜레이된 비디오 데이터를 상기 제어신호 생성부에 공급하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

【청구항 11】

제 9 항에 있어서,

상기 제어신호 생성부는 상기 제 1 래치 및 제 2 래치 중 적어도 하나 이상의 래치로부터 '1'의 비디오 데이터가 입력되면 제 1 제어신호를 생성하고, 상기 제 1 래치 및 제 2 래치로부터 '0'의 비디오 데이터가 입력되면 제 2 제어신호를 생성하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

【청구항 12】

제 11 항에 있어서,

상기 출력수단은 상기 제 1 제어신호가 입력되면 '1'의 데이터펄스를 상기 어드레스전극에 공급하고,

상기 제 2 제어신호가 입력되면 '0'의 데이터펄스를 상기 어드레스전극에 공급하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

【청구항 13】

제 7 항에 있어서,

상기 출력수단은 다수의 스위칭소자로 구성되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

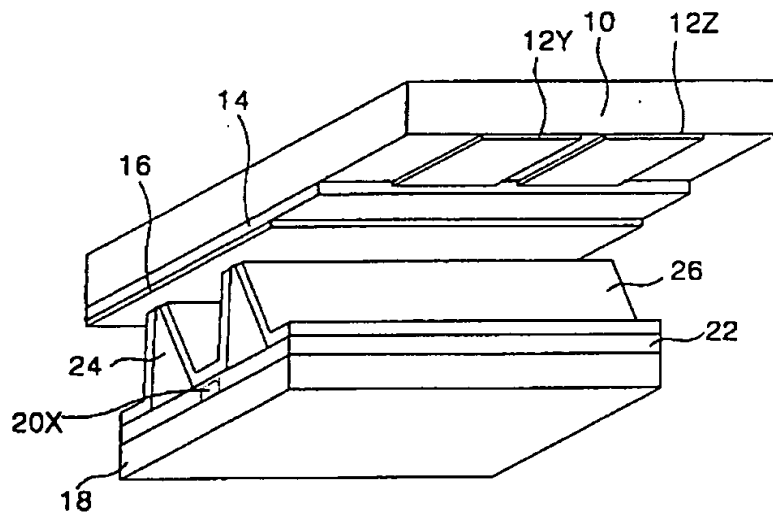
【청구항 14】

제 7 항에 있어서,

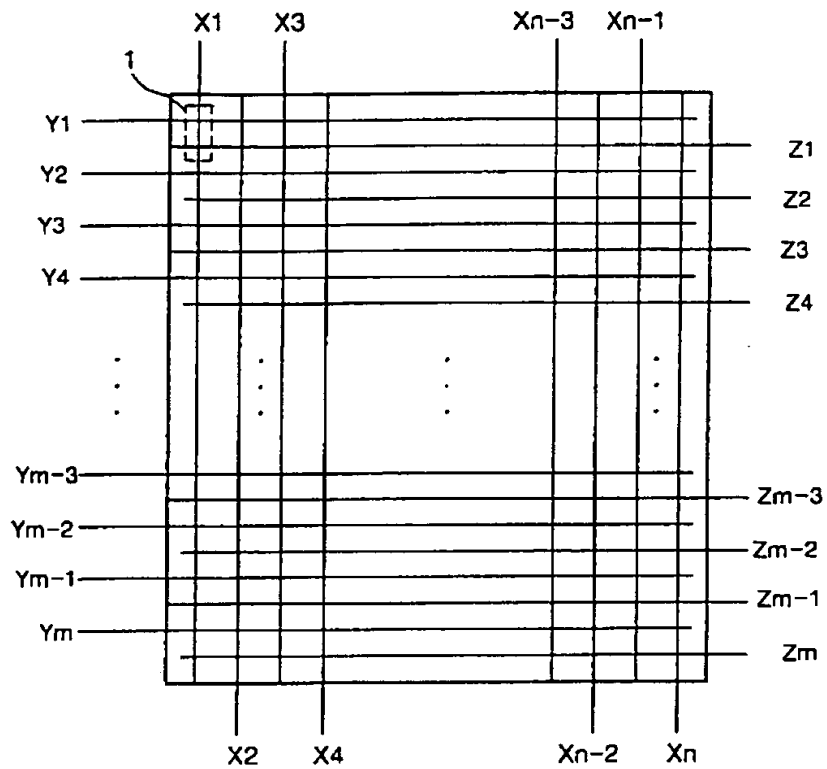
상기 제어신호 생성부에 접속되어 상기 어드레스전극라인에 공급되는 데이터펄스의 논리값을 제어하기 위한 제어신호들을 공급하는 제어부를 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

【도면】

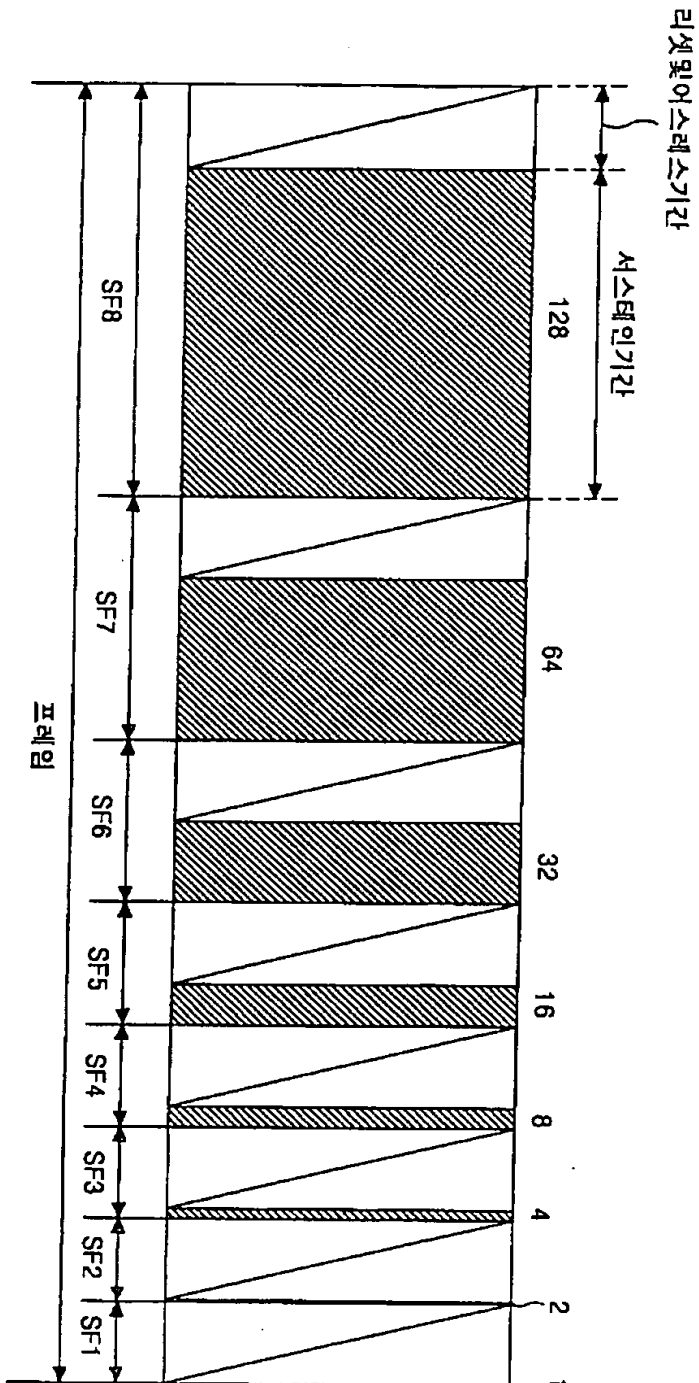
【도 1】



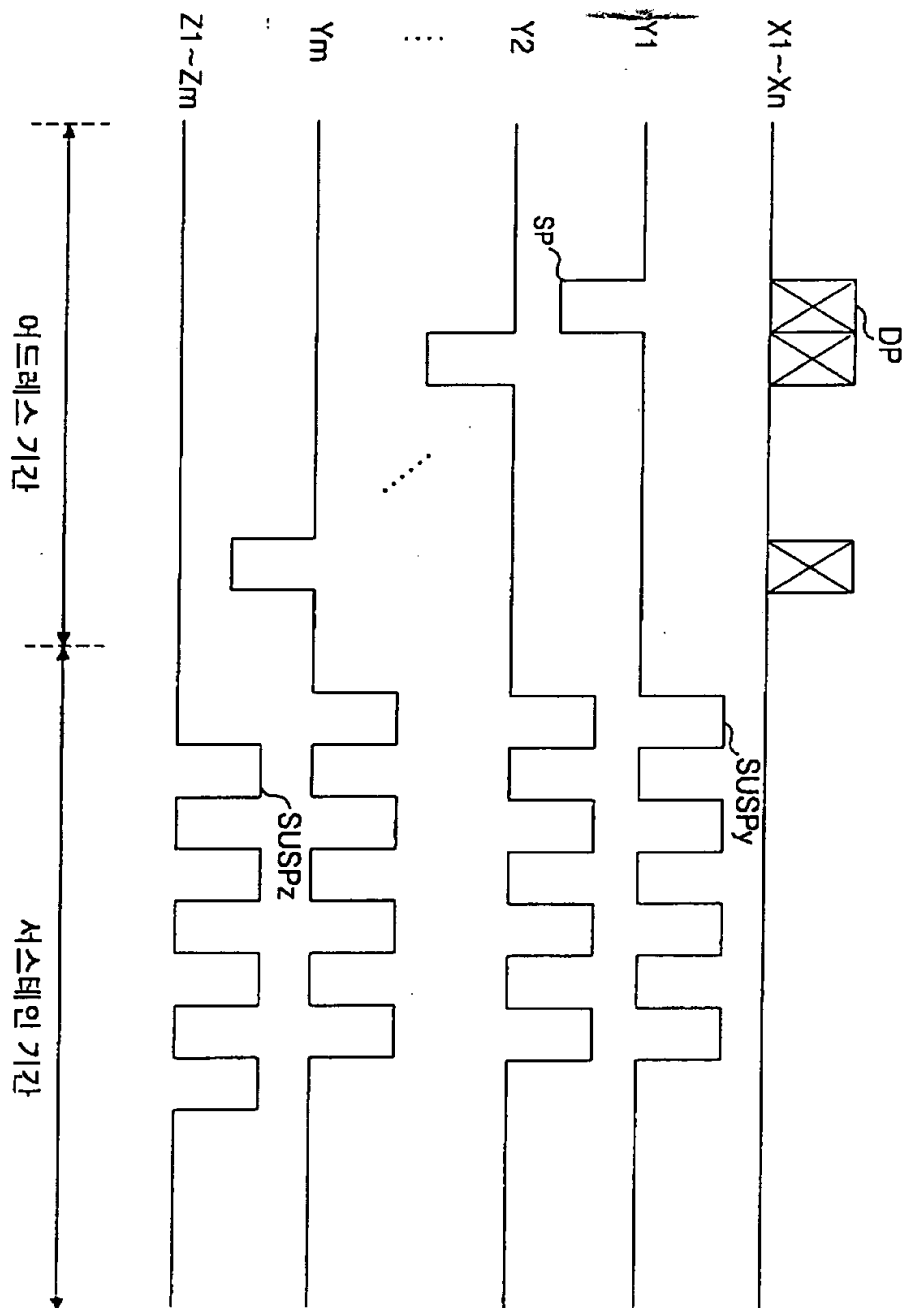
【도 2】



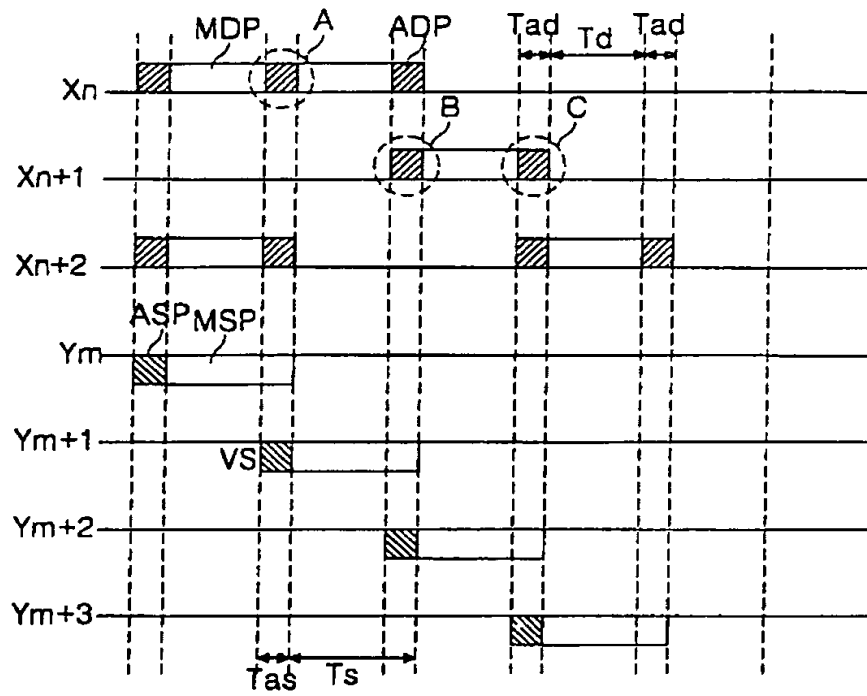
【도 3】



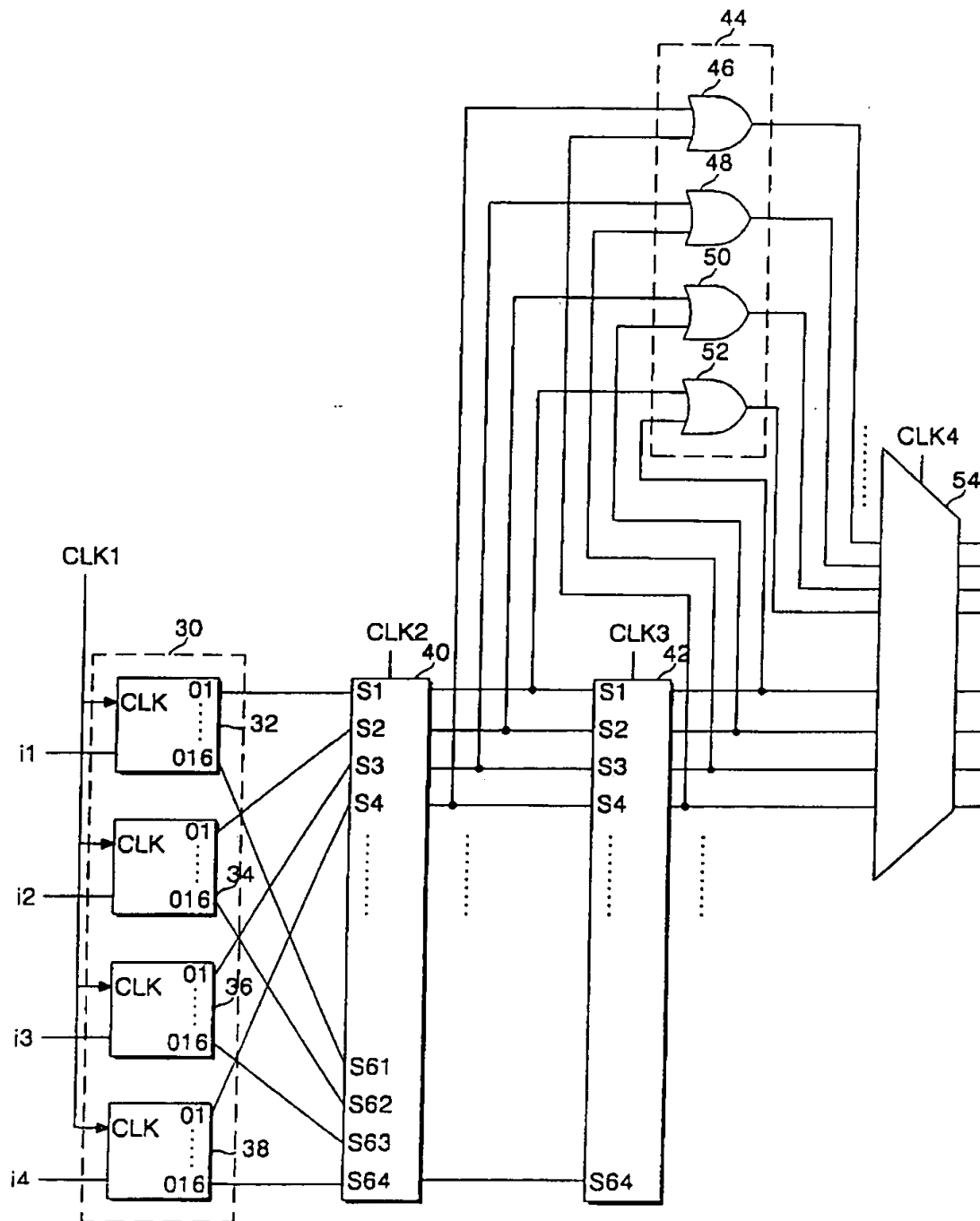
【도 4】



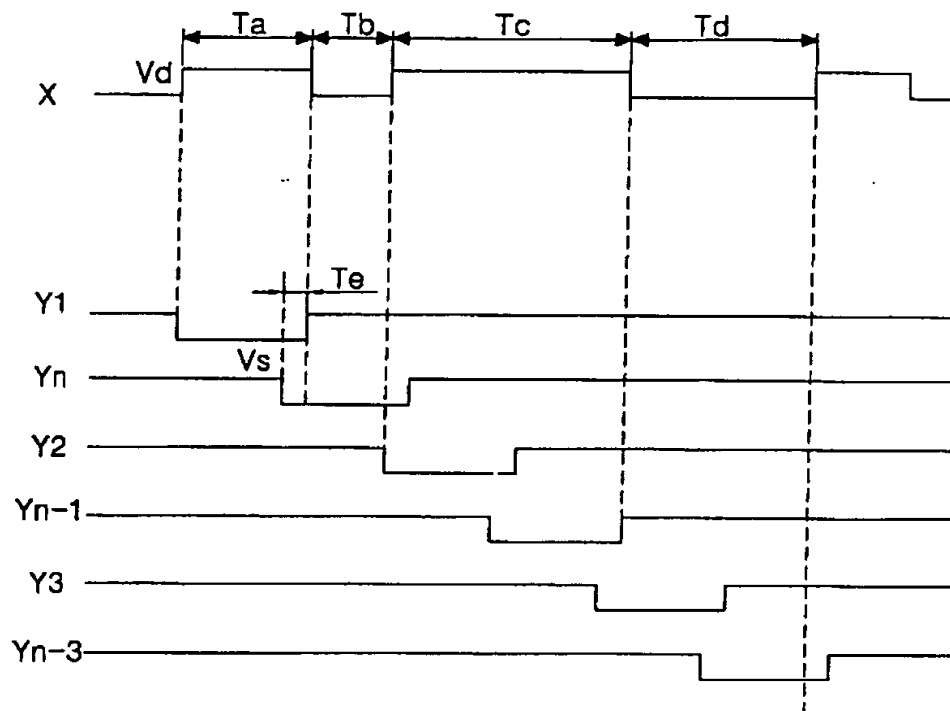
【도 5】



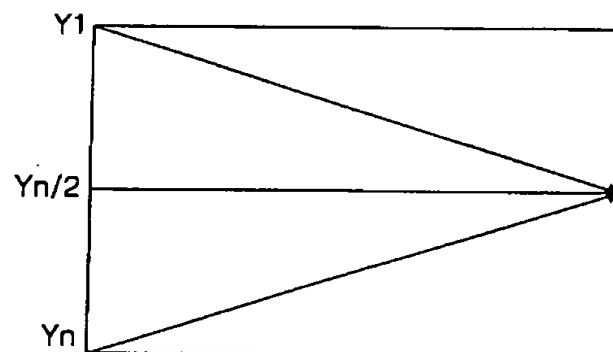
【도 6】



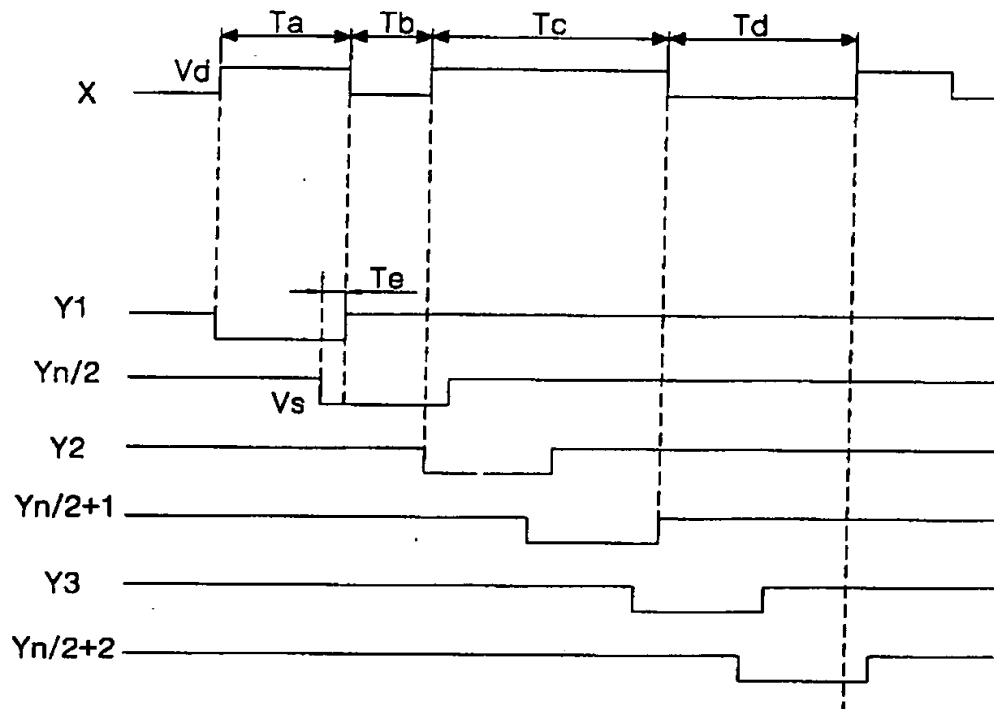
【도 7】



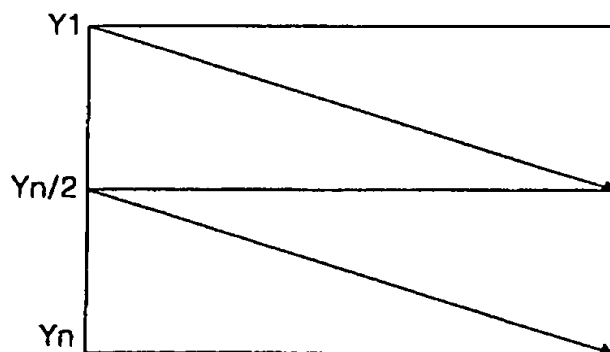
【도 8】



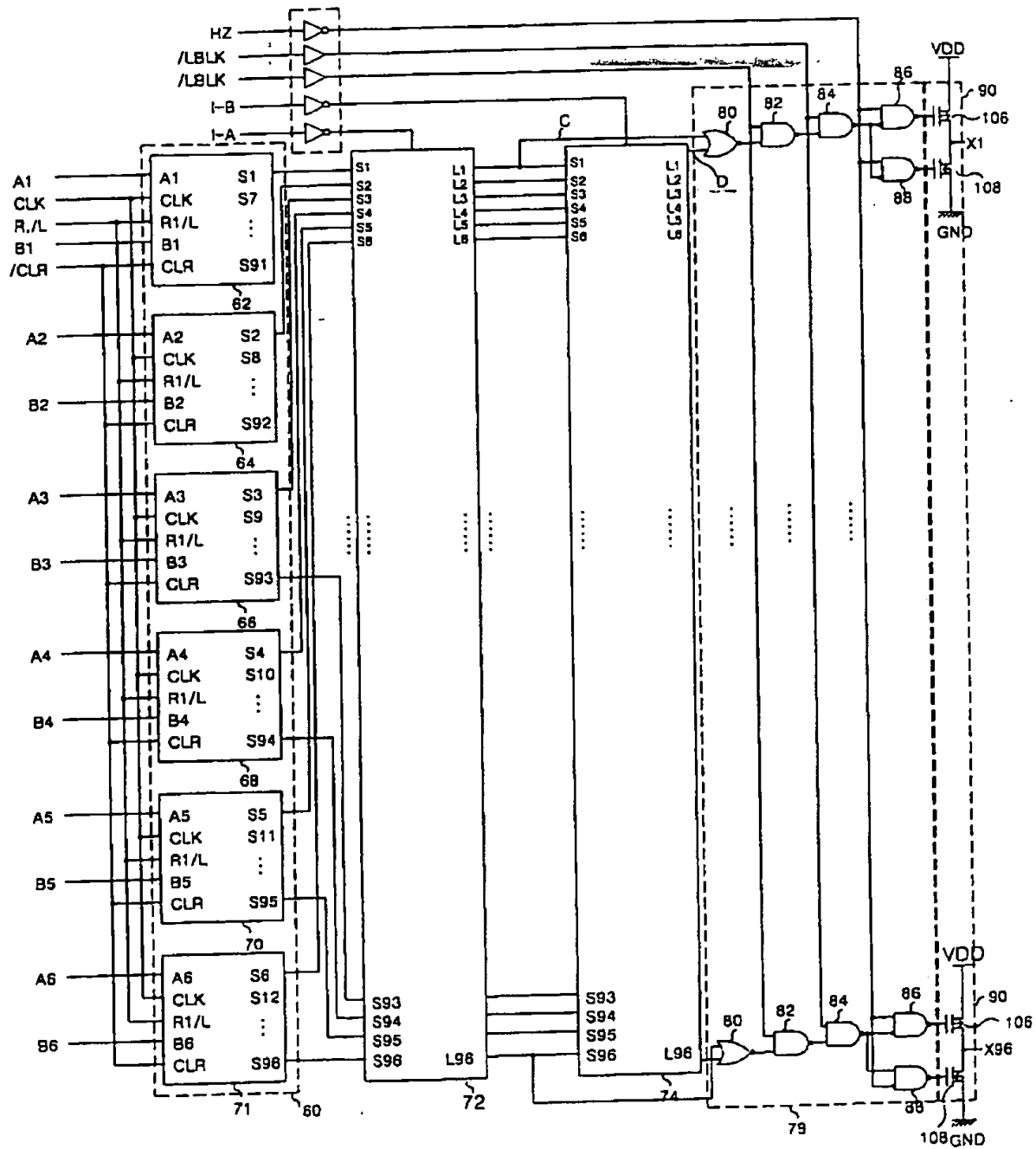
【도 9】



【도 10】



【도 11】



【도 12】

